

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3748862

Basic Patent (No,Kind,Date): JP 57058363 A2 820408 <No. of Patents: 001>

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE (English)

Patent Assignee: OKI ELECTRIC IND CO LTD

Author (Inventor): AJIOKA TSUNEO

IPC: *H01L-029/78; H01L-021/268; H01L-021/324; H01L-029/62

CA Abstract No: *96(26)227592A;

Derwent WPI Acc No: *G 82-F7922E;

JAPIO Reference No: *060132E000083;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 57058363	A2	820408	JP 80133014	A	800926	(BASIC)

Priority Data (No,Kind,Date):

JP 80133014 A 800926

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00908063 **Image available**

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 57-058363 [JP 57058363 A]

PUBLISHED: April 08, 1982 (19820408)

INVENTOR(s): AJIOKA TSUNEO

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 55-133014 [JP 80133014]

FILED: September 26, 1980 (19800926)

INTL CLASS: [3] H01L-029/78; H01L-021/268; H01L-021/324; H01L-029/62

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 119, Vol. 06, No. 132, Pg. 83, July
17, 1982 (19820717)

ABSTRACT

PURPOSE: To obtain an MOS type semiconductor to stabilize threshold voltage by a method wherein after a gate oxide film is formed on the surface of an Si substrate, a laser beam is irradiated the gate oxide film.

CONSTITUTION: After field oxide films 2 are formed on the Si substrate 1, the gate oxide film 3 of 500-1,500 angstroms thickness is formed by thermal oxidation. Then the laser beam 4 is irradiated through the oxide film 3 to anneal the substrate 1 and the interface between the substrate 1 and the oxide film 3. After then an electrode 5 is formed at the prescribed part on the oxide film 3. The unnecessitated part of the oxide film 3 is photolithographed, and source and drain regions 6, 7 are formed in the Si substrate 1 by predeposition and thermal diffusion. Accordingly the MOS transistor to reduce surface state and to stabilize threshold voltage is manufactured.

BEST AVAILABLE COPY

① 日本国特許庁 (JP)

① 特許出願公開

② 公開特許公報 (A)

昭57—58363

⑤ Int. Cl.³

H 01 L 29/78

21/268

21/324

29/62

識別記号

庁内整理番号

7377—5 F

6851—5 F

6851—5 F

7638—5 F

④ 公開 昭和57年(1982)4月8日

発明の数 1

審査請求 未請求

(全 3 頁)

④ MOS型半導体装置の製造方法

号沖電気工業株式会社内

① 特 願 昭55—133014

② 出 願 昭55(1980)9月26日

⑦ 発 明 者 味岡恒夫

東京都港区虎ノ門1丁目7番12

① 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12
号

④ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

(1) ゲート酸化膜をシリコン基板の表面に形成する工程と、このゲート酸化膜が破壊しない程度の照射エネルギーでレーザービームをゲート酸化膜を通して照射することにより、シリコン基板およびシリコン基板とゲート酸化膜の界面をアニールする工程とを具備することを特徴とするMOS型半導体装置の製造方法。

(2) レーザービームの照射エネルギーが $0.2 \sim 1.5 \text{ J/cm}^2$ 程度であることを特徴とする特許請求の範囲第1項記載のMOS型半導体装置の製造方法。

3. 発明の詳細な説明

この発明は、ゲート酸化膜を有するMOS型半導体装置の製造方法に関するものである。

MOS LSI の製造において、しきい値電圧を安定化することは、MOSの動作上重要であるが、ゲート酸化膜とシリコン基板との界面に多くの界面

準位が存在する場合には、界面単位からの電子または正孔の放出速度が遅いため、ゲート電圧により直ちに安定な状態になることができず、界面単位からの放出が終るまで、しきい値電圧が変化してしまう。

この発明は上記の点に鑑みなされたもので、界面単位を少なくし、しきい値電圧を安定化することができるMOS型半導体装置の製造方法を提供することを目的とする。

以下この発明の実施例を図面を参照して説明する。第1図はこの発明の実施例を説明するための図である。第1図(a)において、1はシリコン基板であり、まず、このシリコン基板1上に、フィールド酸化膜2を形成した後、熱酸化で $500 \sim 1500 \text{ \AA}$ のゲート酸化膜3を形成する。

次に、第1図(b)のように、レーザービーム4をゲート酸化膜3を通して照射する。これにより、シリコン基板1およびシリコン基板1とゲート酸化膜3の界面をアニールする。この場合、レーザービーム4の照射エネルギーは $0.2 \sim 1.5 \text{ J/cm}^2$ とする。

また、レーザビーム4はQ-sw・Nd・YAG・波長0.53 μ mのものを用いる。

しかる後、第1図(c)のように、ゲート酸化膜3上の所定部分に電極5を形成する。

そして、その状態で、第1図(d)のように、ゲート酸化膜3の不要部分をホトリソし、さらにプリデポジションと熱拡散によりソース・ドレイン領域6, 7をシリコン基板1内に形成する。

以上によりMOSトランジスタを製造する。

第2図は、1000 Åのゲート酸化膜を有するMOSダイオードの界面単位分布を示し、図中、曲線aはレーザビームの照射によるアニール(レーザアニール)を行っていないMOSダイオードの界面単位分布、曲線bは0.5 J/cm²でレーザアニールを行つたMOSダイオードの界面単位分布を示す。この図から、上記実施例の方法のようにレーザアニールを行つた場合には、界面単位が少なくなつていくことがわかる。特に、電子や正孔の放出速度が遅い0.5 eV付近の深い単位では、レーザアニールすることにより、約半分程度に減少し

ている。この傾向は、0.2 ~ 0.7 J/cm²の範囲で認められる。また、500 Åのゲート酸化膜厚を有するMOSダイオードでは、0.2 ~ 0.5 J/cm²の照射エネルギーの範囲で、1000 Åのゲート酸化膜厚を有するMOSダイオードと同様に、レーザアニールにより界面単位が少なくなつた。

なお、レーザビームを照射してアニールする際、レーザビームの照射エネルギーを必要以上に大きくした場合には、ゲート酸化膜が破壊されたり、ゲート酸化膜とシリコン基板界面付近の基板側にバークのダメージができてしまう。したがつて、照射エネルギーは、上記不都合が生じない程度以下とする必要がある。

以上詳述したように、この発明のMOS型半導体装置の製造方法においては、ゲート酸化膜をシリコン基板の表面に形成した後、このゲート酸化膜が破壊しない程度の照射エネルギーでレーザビームをゲート酸化膜を通して照射することによつて、シリコン基板およびシリコン基板とゲート酸化膜の界面をアニールするようにしたので、界面単位

を少なくし、しきい値電圧を安定化することができ、この発明の製造方法はMOS LSIに利用することができる。

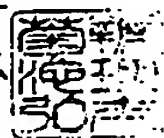
4. 図面の簡単な説明

第1図はこの発明によるMOS型半導体装置の製造方法の実施例を説明するための断面図、第2図はレーザアニールの有無による界面単位の違いを示す特性図である。

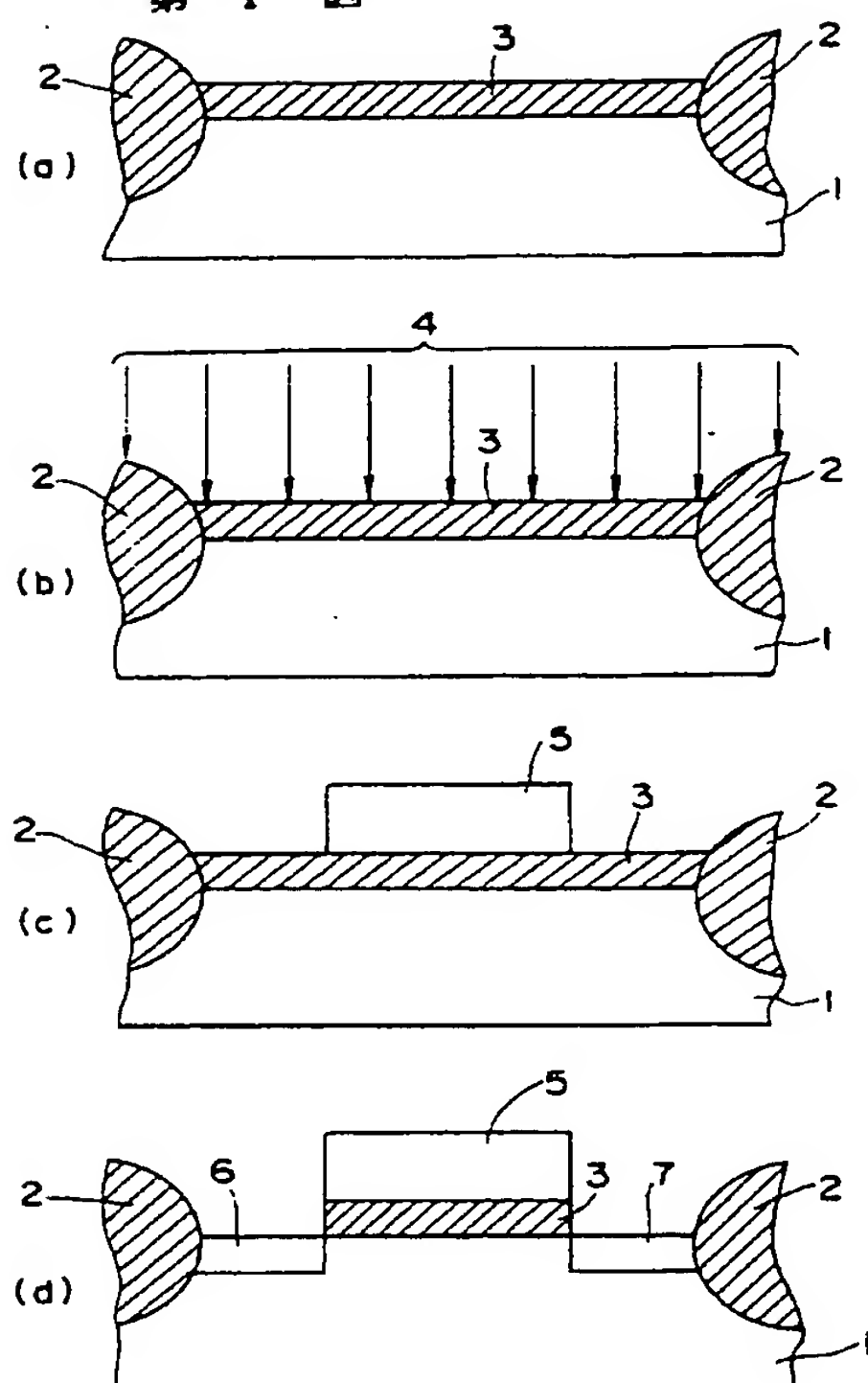
1…シリコン基板、3…ゲート酸化膜、4…レーザビーム。

特許出願人 沖電気工業株式会社

代理人 弁理士 菊池 弘



第 1 図



第 2 図

